

**THOMSON**  
DELPHION

RESEARCH

PRODUCTS

INSIDE DELPHION

Log Out

Work Files

Saved Searches

My Account | Products

Search: Quick/Number Boolean Advanced Derive

## The Delphion Integrated View

Get Now: ☒ PDF | [More choices...](#)Tools: Add to Work File: [Create new Wor](#)View: [INPADOC](#) | Jump to: [Top](#)[Email](#)

**Title:** JP2003100923A2: PACKAGE FOR ACCOMMODATING SEMICONDUCTOR ELEMENT AND SEMICONDUCTOR DEVICE

**Country:** JP Japan

**Kind:** A2 Document Laid open to Public inspection

**Inventor:** SHIBAYAMA HIROSHI;  
TANAKA NOBUYUKI;

**Assignee:** KYOCERA CORP  
[News, Profiles, Stocks and More about this company](#)

**Published / Filed:** 2003-04-04 / 2001-09-21

**Application Number:** JP2001000289017

**IPC Code:** H01L 23/02; H01P 5/02; H01P 5/08;

**Priority Number:** 2001-09-21 JP2001000289017

**Abstract:** PROBLEM TO BE SOLVED: To provide a semiconductor package exhibiting excellent transmission efficiency of high frequency signal.

SOLUTION: The semiconductor package comprises a basic body 1 having a part 1a for mounting a semiconductor element 5 and a circuit board 6 on the upper major surface thereof, a frame 2 having a through hole 2a in the side part and bonded to the outer circumferential part on the upper major surface of the basic body 1 to surround the mounting part 1a, and a coaxial connector 3 fitted in the through hole 2a and composed of a tubular outer circumferential conductor 3a, a central conductor 3b and an insulator 3c interposed between. A line conductor 6a connected electrically with the central conductor 3b and the semiconductor element 5 is formed on the upper surface of the circuit board 6. At the joint to the line conductor 6a, a thin part 3d having a thickness of 10-50% that of the remaining part is formed at a part of the central conductor 3b between the forward end on the line conductor 6a side and the end thereof.

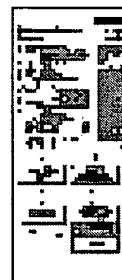
COPYRIGHT: (C)2003,JPO

**Family:** None

**Other Abstract Info:** DERABS G2003-348042



[Nominate](#)



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-100923  
(P2003-100923A)

(43)公開日 平成15年4月4日(2003.4.4)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
H 0 1 L 23/02		H 0 1 L 23/02	H
H 0 1 P 5/02	6 0 3	H 0 1 P 5/02	6 0 3 D
5/08		5/08	B

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願2001-289017(P2001-289017)

(22)出願日 平成13年9月21日(2001.9.21)

(71)出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田鳥羽殿町 6 番地

(72)発明者 柴山 博司

滋賀県蒲生郡蒲生町川合10番地の1 京セラ株式会社滋賀蒲生工場内

(72)発明者 田中 信幸

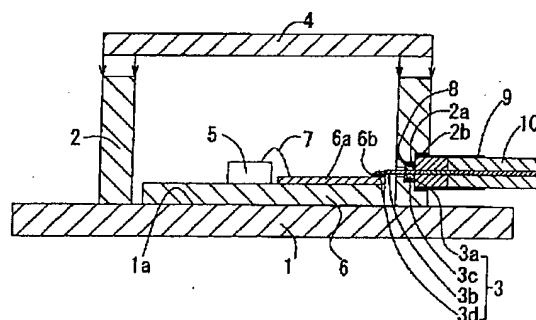
滋賀県蒲生郡蒲生町川合10番地の1 京セラ株式会社滋賀蒲生工場内

(54)【発明の名称】 半導体素子収納用パッケージおよび半導体装置

(57)【要約】

【課題】 高周波信号の伝送効率に優れた半導体パッケージを提供すること。

【解決手段】 上側主面に半導体素子5および回路基板6を載置するための載置部1aを有する基体1と、基体1の上側主面の外周部に載置部1aを囲繞するように接合され、側部に貫通孔2aが形成された枠体2と、筒状の外周導体3aおよび中心導体3bならびにそれらの間に介在させた絶縁体3cから成るとともに貫通孔2aに嵌着された同軸コネクタ3とを具備しており、回路基板6は、その上面に中心導体3bおよび半導体素子5に電氣的に接続された線路導体6aが形成されており、中心導体3bは、線路導体6aとの接続部で線路導体6a側の先端からその先端と線路導体6aの端との間までの部位に厚みが残部10~50%とされた薄肉部3dが形成されている。



## 【特許請求の範囲】

【請求項1】 上側主面に半導体素子および回路基板を載置するための載置部を有する基体と、該基体の前記上側主面の外周部に前記載置部を囲繞するように接合され、側部に貫通孔が形成された枠体と、筒状の外周導体およびその中心軸に設置された中心導体ならびにそれらの間に介在させた絶縁体から成るとともに前記貫通孔に嵌着された同軸コネクタとを具備した半導体素子収納用パッケージにおいて、前記回路基板は、その上面に一端側が前記中心導体に、他端側が前記半導体素子にそれぞれ電気的に接続された線路導体形成されており、前記中心導体は、前記線路導体との接続部で前記線路導体側の先端から該先端と前記線路導体の端との間までの部位に厚みがその残部の10～50%とされた薄肉部が形成されていることを特徴とする半導体素子収納用パッケージ。

【請求項2】 前記線路導体は、前記中心導体との接続部が前記中心導体の幅の0.7～0.9倍の幅狭部とされ、残部が前記中心導体と略同じ幅とされていることを特徴とする請求項1記載の半導体素子収納用パッケージ。

【請求項3】 請求項1または請求項2記載の半導体素子収納用パッケージと、前記載置部に載置固定されるとともに前記同軸コネクタに前記線路導体を介して電気的に接続された半導体素子と、前記枠体の上面に接合された蓋体とを具備したことを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信号入出力部に同軸コネクタを用いた半導体素子収納用パッケージおよび半導体装置に関する。

【0002】

【従来の技術】従来、光通信分野で用いられる半導体素子や、マイクロ波帯、ミリ波帯等の高周波信号で駆動する各種半導体素子を収納する半導体素子収納用パッケージ（以下、半導体パッケージという）には、半導体素子と外部電気回路基板とを電気的に接続するための入出力端子として同軸コネクタが用いられている。この同軸コネクタを具備した半導体パッケージを図5に断面図で示す。同図において、21は基体、22は枠体、23は同軸コネクタ、24は蓋体、26は回路基板である。

【0003】基体21は鉄（Fe）-ニッケル（Ni）-コバルト（Co）合金や銅（Cu）-タングステン（W）等の金属から成る略四角形の板状体であり、その上側主面の略中央部には、IC、LSI、半導体レーザ（LD）、フォトダイオード（PD）等の半導体素子25を搭載して成る回路基板26を載置する載置部21aが形成されている。載置部21aには、半導体素子25が、例えばアルミナ（ $Al_2O_3$ ）質セラミックス等から成る回路基板26に搭載された状態で載置固定される。

【0004】なお、回路基板26に搭載された半導体素子25は、その電極が、回路基板26に被着形成されている線路導体26aにボンディングワイヤ27等を介して電気的に接続されている。

【0005】基体21の上側主面の外周部には載置部21aを囲繞するようにして枠体22が立設されており、枠体22は基体21とともにその内側に半導体素子25を収容する空所を形成する。この枠体22は基体21と同様にFe-Ni-Co合金やCu-Wの焼結材等から成り、基体21と一体成形される、または基体21に銀ろう等のろう材を介してろう付けされる、またはシーム溶接法等の溶接法により接合されることによって基体21の上側主面外周部に立設される。

【0006】枠体22の側部には同軸コネクタ23が嵌着される貫通孔22aが形成されており、貫通孔22a内に同軸コネクタ23を嵌め込むとともに半田等の封着材28を貫通孔22a内の隙間に挿入し、しかる後、加熱して封着材28を溶融させ、溶融した封着材28を毛細管現象により同軸コネクタ23と貫通孔22aの内面との隙間に充填させることによって、同軸コネクタ23が貫通孔22a内に封着材28を介して嵌着接合される。

【0007】同軸コネクタ23は、Fe-Ni-Co合金等の金属から成る円筒状の外周導体23aの中心軸部分に、信号線路としてFe-Ni-Co合金等の金属から成る棒状の中心導体23bが絶縁体23cを介して固定されて成る。そして、接地導体としての外周導体23aが封着材28を介して枠体22に電気的に接続されており、特性インピーダンスに整合された同軸線路モードの信号線路を形成している。また、中心導体23bが半田等から成る導電性接着材26bを介して回路基板26の線路導体26aに電気的に接続される。線路導体26aは、所定の特性インピーダンスに整合されたマイクロストリップ線路となっている。

【0008】そして、枠体22の上面に蓋体24をろう付け法やシームウエルド法等の溶接法によって接合し、基体21、枠体22および蓋体24から成る容器内部に半導体素子25を収容し気密に封止することによって製品としての半導体装置となる。

【0009】なお、図5において、21bは基体21を外部電気回路基板等にネジ止めするための貫通孔、22bは同軸コネクタプラグ29を嵌め込むための貫通孔、29は同軸コネクタプラグ、30は外部電気回路に接続された同軸ケーブルである。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来の半導体パッケージでは、同軸コネクタ23の中心導体23bと回路基板26の線路導体26aとの接続部において、中心導体23bと線路導体26aとを導電性接着材26bで接続することによって、線路導体26aの

表面に中心導体23bが載置されることから、接続部の容量成分が付加されて容量成分が増加し、接続部において信号線路のインピーダンスが低下していた。即ち、容量成分は線路導体26aと回路基板26下面の接地導体との間で発生しているが、中心導体23bと線路導体26aとの接続部ではほぼ中心導体23bの表面積の分だけ容量成分を発生させる対向電極の面積が増大することになり、そのため容量成分が増加することとなる。

【0011】そして、接続部での容量成分の増加により接続部でインピーダンスの整合がとれなくなり、半導体パッケージ内の中心導体と線路導体との接続部で高周波信号の反射損失が大きくなり、高周波信号を効率よく伝送するのが困難になるという問題があった。

【0012】従って、本発明は上記問題点を鑑み完成されたものであり、その目的は、高周波信号の伝送効率に優れた半導体パッケージおよび半導体装置を提供することである。

【0013】

【課題を解決するための手段】本発明の半導体パッケージは、上側主面に半導体素子および回路基板を載置するための載置部を有する基体と、該基体の前記上側主面の外周部に前記載置部を囲繞するように接合され、側部に貫通孔が形成された枠体と、筒状の外周導体およびその中心軸に設置された中心導体ならびにそれらの間に介在させた絶縁体から成るとともに前記貫通孔に嵌着された同軸コネクタとを具備した半導体素子収納用パッケージにおいて、前記回路基板は、その上面に一端側が前記中心導体に、他端側が前記半導体素子にそれぞれ電気的に接続された線路導体が形成されており、前記中心導体は、前記線路導体との接続部で前記線路導体側の先端から該先端と前記線路導体の端との間までの部位に厚みがその残部の10～50%とされた薄肉部が形成されていることを特徴とする。

【0014】本発明の半導体パッケージによれば、中心導体は線路導体との接続部の厚みがその残部の10～50%とされた薄肉部が形成されていることから、線路導体の表面に中心導体が載置されても、接続部の容量成分の増加が最小限に抑えられ、中心導体および線路導体から成る信号線路の接続部でのインピーダンスの低下を最小限に抑えることができる。その結果、接続部でのインピーダンスが特性インピーダンスに近い値となり、半導体パッケージ内の信号線路の接続部で高周波信号の反射損失を低減させ、高周波信号を効率よく伝送することができる。

【0015】本発明において、好ましくは、前記線路導体は、前記中心導体との接続部が前記中心導体の幅の0.7～0.9倍の幅狭部とされ、残部が前記中心導体と略同じ幅とされていることを特徴とする。

【0016】本発明は、上記の構成により、接続部のインピーダンスを特性インピーダンスに略整合させ、半導

体パッケージ内の信号線路の接続部で高周波信号の反射損失をより低減させ、高周波信号を効率よく伝送することができる。

【0017】また、本発明の半導体装置は、上記本発明の半導体素子収納用パッケージと、前記載置部に載置固定されるとともに前記同軸コネクタに前記線路導体を介して電気的に接続された半導体素子と、前記枠体の上面に接合された蓋体とを具備したことを特徴とする。

【0018】本発明は、この構成により、上記本発明の半導体パッケージを用いた信頼性の高い半導体装置を提供できる。

【0019】

【発明の実施の形態】本発明の半導体パッケージについて以下に詳細に説明する。図1は本発明の半導体パッケージについて実施の形態の一例を示す断面図であり、1は基体、2は枠体、3は同軸コネクタ、4は蓋体、6は回路基板である。

【0020】本発明の基体1はFe-Ni-Co合金等の金属やCu-Wの焼結材等から成り、そのインゴットに圧延加工や打ち抜き加工等の従来周知の金属加工法、または射出成形と切削加工等を施すことによって、所定の形状に製作される。基体1の上側主面の略中央部には、IC、LSI、半導体レーザ(LD)、フォトダイオード(PD)等の半導体素子5を載置するための載置部1aが設けられており、載置部1aには半導体素子5を搭載して成る回路基板6が載置固定される。半導体素子5は、その電極が、回路基板6の上面に被着形成されている線路導体6aにボンディングワイヤ7等を介して電気的に接続されている。つまり、線路導体6aは、その一端側が中心導体3bに、他端側が半導体素子5にそれぞれ電気的に接続されている。

【0021】また、基体1の上側主面の外周部には載置部1aを囲繞するようにして枠体2が立設接合されており、枠体2は基体1とともにその内側に半導体素子5を収容する空所を形成する。この枠体2は、基体1と同様にFe-Ni-Co合金やCu-Wの焼結材等から成り、基体1と一体成形される、または基体1に銀(Ag)ろう等のろう材を介してろう付けされる、またはシーム溶接法等の溶接法により接合されることによって基体1の上側主面の外周部に立設される。

【0022】枠体2の側部には同軸コネクタ3が嵌着される貫通孔2aが形成されている。貫通孔2a内に同軸コネクタ3を嵌め込むとともに半田等の封着材8を貫通孔2aとの隙間に挿入する。しかる後、加熱して封着材8を溶融させ、溶融した封着材8は毛細管現象により同軸コネクタ3と貫通孔2aの内面との隙間に充填されることによって、同軸コネクタ3が貫通孔2a内に封着材8を介して嵌着接合される。

【0023】同軸コネクタ3は、内部に収容する半導体素子5を外部の同軸ケーブル10に電気的に接続するも

のであり、Fe-Ni-Co合金等の金属から成る円筒状の外周導体3aの中心軸に同じくFe-Ni-Co合金等の金属から成る中心導体3bが絶縁体3cを介して固定された構造をしている。

【0024】中心導体3bを伝送する高周波信号は、貫通孔2a、2b部において貫通孔2a、2bの中心軸を同軸線路のモードで伝送し、特性インピーダンス値に整合されている。中心導体3bが棒体2の内面から突出して線路導体6aと半田等の導電性接着材6bにより接続された部分以降では、高周波信号は回路基板6の上面に被着形成された線路導体6a上を伝送する。

【0025】本発明では、中心導体3bと線路導体6aとの接続部（以下、単に「接続部」といえば線路導体6aと中心導体3bとの接続部をいうこととする）において、図2の線路方向に対し垂直な面での部分断面図に示すように、中心導体3bは、線路導体6aとの接続部で線路導体6a側の先端からその先端と線路導体6aの端との間までの部位に、厚みがその残部の10～50%とされた薄肉部3dが形成されている。これにより、線路導体6aの表面に中心導体3bが載置されても、接続部の容量成分の増加が最小限に抑えられ、接続部における信号線路のインピーダンスの低下を最小限に抑えることができる。その結果、接続部でのインピーダンスが特性インピーダンスに近い値となり、半導体パッケージ内の信号線路の接続部で高周波信号の反射損失を低減させ、高周波信号を効率よく伝送することができる。

【0026】即ち、線路導体6aの容量成分は線路導体6aと回路基板6下面の接地導体との間で発生しており、接続部ではほぼ中心導体3bの表面積の分だけ容量成分を発生させる対向電極の面積が増大することになるが、本発明のように接続部で中心導体3bを薄肉化することにより中心導体3bの表面積が小さくなり、容量成分を発生させる対向電極の面積が減少して容量成分が小さくなる。

【0027】また、中心導体3bの薄肉部3dの厚みがその残部の厚みの10%未満では、薄肉部3dが薄すぎて折れ等の破損が生じ、中心導体3bで高周波信号を伝送できなくなる可能性がある。50%を超える場合、薄肉部3dでの容量成分の増加が大きくなり、接続部における信号線路のインピーダンスが大きく低下して、接続部における信号線路のインピーダンスが特性インピーダンスに比べ大幅に小さい値となり反射損失が大きくなる。

【0028】図3(a)は、中心導体3bと線路導体6aとの接続部における線路方向に平行な面での部分断面図であり、薄肉部3dの長さをL1、線路導体6aの端から薄肉部3dの端までの長さをL2とする。

【0029】本発明では、好ましくは、L1は0.1mm $\leq$ L1 $\leq$ 1mmとするのがよい。L1<0.1mmの場合、薄肉部3dの長さが短かすぎて接続部での信号線

路のインピーダンスを特性インピーダンスに近い値とすることができず、接続部での高周波信号の反射損失が増大する。L>1mmの場合、薄肉部3dの長さが長すぎて薄肉部で折れ等の破損が生じやすくなり、また薄肉部3dと線路導体6aとを金(Au)-錫(Sn)半田等の導電性接着材6bで接合した後に導電性接着材6bとの熱膨張差により薄肉部3dが破損し、高周波信号を伝送できなくなる場合がある。

【0030】また、L2は0mm $\leq$ L2 $\leq$ 1mmとするのが好ましい。L2<0mmの場合、即ち薄肉部3dが線路導体6aの端からはみ出す場合、接続部以外の中心導体3bの厚さが変化することとなり、接続部以外の中心導体3bの厚さが変化している部位で高周波信号の大きな反射損失が発生し、信号線路全体における反射損失が大きくなってしまい、高周波信号を効率よく伝送できなくなりやすい。またL2>1mmの場合、中心導体3bの薄肉部3d以外の部分で線路導体6aと接合される部分の長さが長くなり、信号線路の容量成分が増大し、接続部において高周波信号の反射損失が大きくなり、高周波信号を効率よく伝送できなくなりやすい。

【0031】薄肉部3dはその残部との間に段差を形成しており、その段差は、図3(a)のように薄肉部3dに略垂直な平面である構成、図3(b)のように円弧状のなだらかなくぼんだ曲面である構成、図3(c)のように傾斜面である構成等の種々の構成とすることができる。図3(b)、図3(c)のように、段差をなだらかな形状とすることが好ましく、表皮効果によって信号線路の表面近くを伝送する高周波信号の反射損失を抑えることができる。

【0032】図3(c)において、段差である傾斜面の傾斜角が30～60°であるのが好ましく、信号線路の表面近くを伝送する高周波信号の反射損失を最小限に抑え、高周波信号を効率よく伝送させることが可能となる。

【0033】薄肉部3dと線路導体6aとの接続部の構成は、図3(a)～(c)に示すような中心導体3bの先端部の上側を切り欠いて形成した薄肉部3dが線路導体6aに接続される構成、図3(d)に示すような中心導体3bの先端部の下側を切り欠いて形成した薄肉部3dが線路導体6aに接続される構成、図3(e)に示すような中心導体3bの先端部の上側と下側とを切り欠いて形成した薄肉部3dが線路導体6aに接続される構成とし得る。

【0034】また、薄肉部3dの線路方向に垂直な面における断面形状は、図2のような半円形状のみならず、四角形等様々な形状とし得る。

【0035】さらに、薄肉部3dの上面は回路基板6の下面に略平行な平坦面であることが好ましい。この場合、薄肉部3dの上面から出た電気力線は上方に延びるのみで回路基板6下面の接地導体に結合することがない

ため、薄肉部3d上面が容量成分を生じる対向電極とはならない。即ち、薄肉部3d上面は容量成分の増加に全く寄与することがなくなるため、容量成分の低減に有効な構成となるのである。

【0036】本発明において、図4の回路基板6の平面図に示すように、線路導体6aは中心導体3bとの接続部が中心導体3bの幅の0.7~0.9倍の幅狭部6cとされ、その残部が中心導体3bと略同じ幅とされているのが好ましい。即ち、幅狭部6cを除く線路導体6aの幅をW1、幅狭部6cの幅をW2、中心導体3bの幅をdとしたとき、 $0.7d \leq W2 \leq 0.9d$ 、 $W1 > W2$ となっている。なお、W1とdについては、 $0.9d \leq W1 \leq 1.1d$ といった程度の範囲で略同じであればよい。

【0037】この構成により、幅狭部6cを除く部分の線路導体6aを特性インピーダンス値に整合させ、幅狭部6c部においては特性インピーダンス値よりも高いインピーダンス値とすることができる。線路導体6aの幅狭部6cとその残部との間で線路幅に段差が生じるが、この段差部については、幅狭部6cから幅の広い線路導体6aへ変化している傾斜部の線路導体6aに対する傾斜角度 $\theta$ は $30 \sim 60^\circ$ として連続的に線路幅を変化させるのがよく、この場合反射損失による高周波信号の減衰を抑制することができる。

【0038】図2に示すように、線路導体6aと中心導体3bとを接続することにより、接続部では信号線路が中心導体3b、線路導体6aおよび導電性接着材6bとなっている。線路導体6aのみが信号線路である場合と比して、接続部で信号線路の容量成分が増加し、接続部のインピーダンスが低下することとなる。従って、本発明では、接続部における線路導体6aを幅狭部6cとして、幅狭部6cのインピーダンス値は特性インピーダンスより高い値とし、接続部における中心導体3bの厚みを接続部以外の部分の厚みの10~50%とした薄肉部3dとし、接続部における信号線路の容量成分の増加を最小限に抑える。これにより、中心導体3bを接続して接続部のインピーダンスが低下しても、接続部を特性インピーダンスに整合させることができる。また、接続部では、導電性接着材6bの量を適宜調整して信号線路のインピーダンスを略整合することができる。このようにして、半導体パッケージ内において、高周波信号の反射損失や透過損失等の伝送損失の小さい良好な伝送特性の信号線路が形成される。

【0039】枠体2の貫通孔2b内に挿入固定される同軸コネクタプラグ9は、外部電気回路に接続された同軸ケーブル10と枠体2に嵌着された同軸コネクタ3とを接続するためのプラグである。

【0040】そして、本発明の半導体パッケージは、半導体素子5を回路基板6上に搭載して載置部1aに回路基板を載置固定し、半導体素子5の電極と回路基板6の

上面に形成された線路導体6aとを電気的に接続し、線路導体6aと中心導体3bとを導電性接着材6bを介して電気的に接続し、しかる後、枠体2の上面にFe-Ni-Co合金等の金属から成る蓋体4を半田付け法やシューウエルド法により接合することにより製品としての半導体装置となる。

【0041】この半導体装置は、基体1が外部電気回路基板に実装され、同軸コネクタプラグ9と外部電気回路に接続された同軸ケーブル10とを接続することにより、内部に収容する半導体素子5が外部電気回路に電気的に接続され、半導体素子5が高周波信号で作動することとなる。

【0042】本発明における高周波信号の好ましい周波数は5~100GHz程度であり、この場合に高周波信号の伝送特性を良好なものとすることができる。

【0043】なお、本発明は上記実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内であれば種々の変更は可能である。

【0044】

【発明の効果】本発明は、同軸コネクタの中心導体は、回路基板の線路導体との接続部で線路導体側の先端からその先端と線路導体の端との間までの部位に厚みがその残部の10~50%とされた薄肉部が形成されていることから、線路導体の表面に中心導体が載置され接続されても、接続部の容量成分の増加が最小限に抑えられ、接続部における信号線路のインピーダンスの低下を最小限に抑えることができる。その結果、接続部でのインピーダンスが特性インピーダンスにきわめて近い値となり、半導体パッケージ内の信号線路の接続部で高周波信号の反射損失を低減させ、高周波信号を効率よく伝送することができる。

【0045】本発明は、好ましくは線路導体は、中心導体との接続部が中心導体の幅の0.7~0.9倍の幅狭部とされ、残部が中心導体と略同じ幅とされることにより、接続部のインピーダンスを特性インピーダンスに略整合させ、半導体パッケージ内の信号線路の接続部で高周波信号の反射損失をより低減させ、高周波信号を効率よく伝送することができる。

【0046】本発明の半導体装置は、本発明の半導体素子収納用パッケージと、載置部に載置固定されて同軸コネクタに線路導体を介して電気的に接続された半導体素子と、枠体の上面に接合された蓋体とを具備したことにより、上記本発明の作用効果を有する半導体パッケージを用いた信頼性の高い半導体装置となる。

【図面の簡単な説明】

【図1】本発明の半導体パッケージについて実施の形態の例を示す断面図である。

【図2】本発明の半導体パッケージ内に収容された回路基板の線路方向に垂直な面における部分断面図である。

【図3】(a)~(e)は本発明の半導体パッケージに

ついて実施の形態の各種例を示し、半導体パッケージ内に収容された回路基板の線路方向に平行な面における部分断面図である。

【図4】本発明の半導体パッケージ内に収容された回路基板について実施の形態の他の例を示す平面図である。

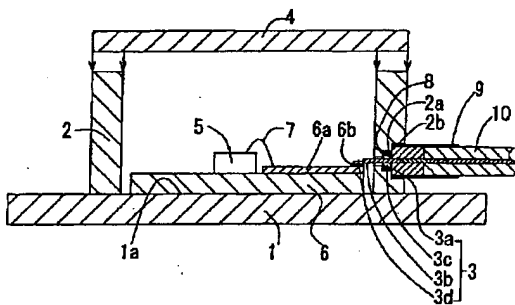
【図5】従来の半導体パッケージの断面図である。

【符号の説明】

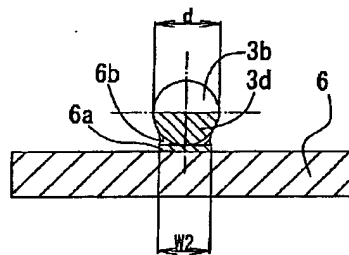
1：基体  
1a：載置部  
2：枠体

2a：貫通孔  
3：同軸コネクタ  
3a：外周導体  
3b：中心導体  
3c：絶縁体  
3d：薄肉部  
5：半導体素子  
6：回路基板  
6a：線路導体  
6c：幅狭部

【図1】

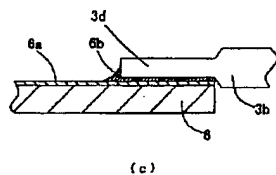
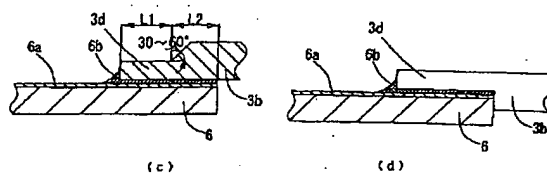
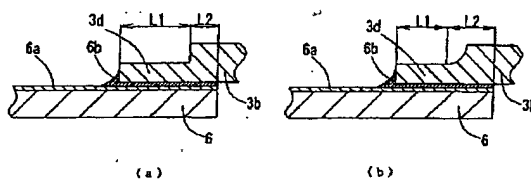


【図2】

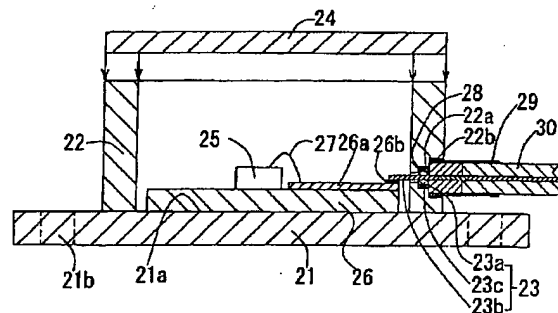


【図4】

【図3】



【図5】



**THIS PAGE BLANK (USPTO)**